



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02203645 A**(43) Date of publication of application: **13 . 08 . 90**

(51) Int. Cl

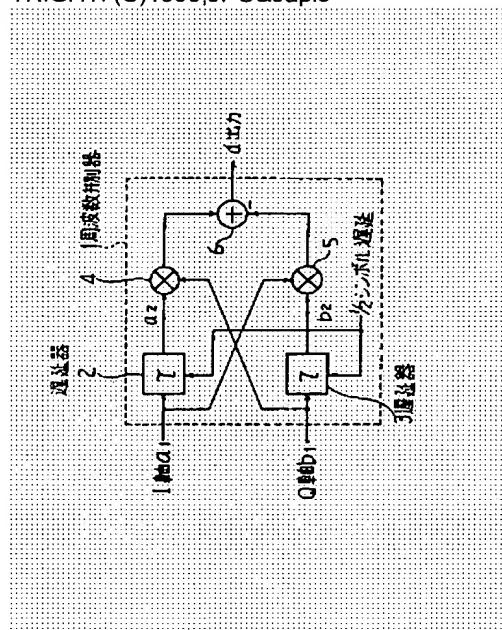
H04L 27/22(21) Application number: **01024621**(22) Date of filing: **02 . 02 . 89**(71) Applicant: **FUJITSU LTD**(72) Inventor: **FURUKAWA HIDETO
TOZAWA YOSHIHARU**(54) **QUASI-SYNCHRONIZATION TYPE
DEMODULATOR**

COPYRIGHT: (C)1990,JPO&Japio

(57) Abstract:

PURPOSE: To eliminate the need for a 4-multiple device and to miniaturize the entire size of the demodulator by adopting such a constitution that the delay operation of a delay device for a digital frequency discriminator in an AFC loop is implemented in a 1/2 symbol rate.

CONSTITUTION: The subject demodulator is a quasi-synchronization type demodulator using an AFC loop including a digital frequency discriminator 1 so as to pull in a local oscillation frequency into a reception frequency and the digital frequency discriminator 1 applies the delay of delay devices 2, 3 in the unit of 1/2 symbol. In the case of applying 1/2 symbol delay, various methods are to be considered, but since the clock given from a symbol timing recovery circuit to an A/D converter has a frequency twice the symbol rate originally, the clock is used as it is for a delay revision operating clock for the delay devices 2, 3. Thus, no 4-multiple device is required and the circuit scale is reduced.



⑫ 公開特許公報(A) 平2-203645

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)8月13日

H 04 L 27/22

Z

8226-5K

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 準同期型復調器

⑮ 特 願 平1-24621

⑯ 出 願 平1(1989)2月2日

⑰ 発 明 者 古 川 秀 人 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑱ 発 明 者 戸 澤 義 春 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 茂泉 修司

明 細 書

(産業上の利用分野)

1. 発明の名称 準同期型復調器

2. 特許請求の範囲

デジタル周波数弁別器(1)を含むAFCループによって局部発振周波数を受信周波数に引き込む準同期型復調器において、

該周波数弁別器(1)が、1/2シンボルで遅延器(2)(3)の遅延動作を行うようにしたことを特徴とした準同期型復調器。

3. 発明の詳細な説明

(概 要)

デジタル周波数弁別器を含むAFCループによって局部発振周波数を受信周波数に引き込む準同期型復調器に関し、

4通倍器を取り除くことを目的とし、

該周波数弁別器が、1/2シンボルで遅延器の遅延動作を行うように構成する。

本発明は、準同期型復調器に関し、特にデジタル周波数弁別器を含むAFCループによって局部発振周波数を受信周波数に引き込む準同期型復調器に関するものである。

近年、衛星を利用した通信が盛んに行われている。特に、VSA T (Very Small Aperture Terminal) の出現で、その利用価値は、更に高まりつつある。この衛星を利用した通信を行う場合、周波数の変動が問題となる。その原因として、受信装置の局部発振周波数の温度変化に伴う周波数の変動、ドプラー効果等が考えられる。

このため、復調器では局部発振器の周波数(基準搬送波周波数)をその変移に追従させる必要があり、AFC (自動周波数制御: Automatic Frequency Control) ループを設ける必要がある。

(従来の技術)

第3図はAFCループを備えた一般的な4相-PSK準同期型復調器を概略的に示したもので、

入力信号を4相直交検波器11でアナログのI軸信号とQ軸信号とに分離し、これを更にA/D変換器12でデジタル信号に変換した後、デジタルトランスバースフィルタ(DTF)13で線路等化してI軸及びQ軸のデジタル等化出力を発生し、該デジタル等化出力に基づいて搬送波再生回路(CR)14がI軸データとQ軸データとを復調する。

この場合、受信信号の周波数 f に対する局部発振周波数 f_L の偏差 Δf が数10kHz以上の場合、搬送波再生回路14は正常に動作しない可能性がある。

そこでAFCをかけて局部発振周波数 f_L を、搬送波再生回路14が正常に動作できる周波数に変化させることにより周波数偏差を除去する必要があり、これを行うため、フィルタ13のデジタル等化出力をAFC制御電圧発生回路15に入力し、その出力電圧の高周波数成分をループフィルタ(LPF)16で除去し、この復調器の局部発振器としての電圧制御発振器(VCXO)17

デジタルループフィルタ(低域通過フィルタ)23で帯域制限(雑音除去)した後、D/A変換器24でアナログ信号に変換して局部発振器17のための制御電圧を発生する。

更に、周波数弁別器22は、1シンボル τ (クロック)分だけ遅延させるための遅延器2、3と、これら1シンボル τ 分だけ遅延されたI軸信号又はQ軸信号と遅延されないQ軸信号又はI軸信号とをそれぞれ掛け合わせる乗算器4、5と、乗算器4、5の出力差を計算する減算器6とで構成されている。

そして、周波数弁別器22の遅延器21、22の遅延動作はシンボルタイミング再生回路18からのクロックCLK2によって行われる。このクロックCLK2は、受信信号のアイパターンの最も開いた時点に対応して発生されるものである。

ここで周波数弁別器22の出力は周波数偏差に応じて振幅が変化し、AFC動作による周波数の引込が行われる。

但し、4相検波器11でAFCにより周波数偏

に制御電圧を与えることにより、4相検波器11の局部発振周波数 f_L を制御し、以て点線で示すAFCループを形成している。

また、この復調器の各部の動作は、シンボルタイミング再生回路(STR)18が、搬送波再生回路14の出力に基づいて生成したシンボルタイミングクロックCLK1を用いて行われ、特にAFC制御電圧発生回路15にはシンボルタイミング再生回路18から後述する別のクロックCLK2が与えられている。尚、クロックCLK1、2は共にシンボルレートの2倍の周波数を有しており、またAFC制御電圧発生回路15及び搬送波再生回路14にシンボルタイミング再生回路18から与えられるクロックCLK3はシンボルレートと同じ周波数である。

第4図は、このAFC制御電圧発生回路15を示したブロック図で、フィルタ13でデジタル等化されたI軸及びQ軸信号を4通倍器21で4通倍することにより余分な変調データを除去し、更に周波数弁別器22で周波数偏差を弁別し、デ

バイス周波数偏差 Δf を圧縮するが、完全な同期検波は行わず、ベースバンド処理型の搬送波再生回路14で周波数偏差 Δf 及び位相誤差 $\Delta \theta$ を完全に除去する準同期型の復調器を形成している。

〔発明が解決しようとする課題〕

このような準同期型復調器においては、4相-PSK復調の場合、DTF13によって帯域制限されたI軸、Q軸検波信号 a 、 b (第4図参照)は、

$$a : \cos(2\pi \Delta f t + \theta + (2k-1)\pi/4) \quad (k=1-4)$$

$$b : \sin(2\pi \Delta f t + \theta + (2k-1)\pi/4)$$

で表されるので、無変調時(データが変化していない時)においては、 $(2k-1)\pi/4$ という項が無くなるため、周波数弁別器22の出力 d は、

$$d = \sin(2\pi \Delta f \tau)$$

となり、I軸、Q軸の各データには周波数偏差に応じた情報のみが含まれており4通倍器は必要にならない。

しかしながら、変調時(データが変化している

時)においては、I軸、Q軸の各データには上記のように伝送される情報と周波数偏差に応じた情報の2つの成分の情報が含まれることになるので、周波数弁別器に不必要な $(2k-1)\pi/4$ という項に係る変調データを除去して周波数偏差に応じた情報のみにする必要がある。

ここで、I軸、Q軸の各データに伝送される情報のみが含まれる場合、データは第5図に示すように4点となり、変調している場合にはこの4点がランダムに変化する。この各データの角度 $\theta_1 \sim \theta_4$ を4倍することにより各データは×印に集まり、伝送される情報が除去されデータの変動が無くなると共に実際の周波数偏差に4倍したデータが出力される。

このような観点から従来より第6図に示すように4通倍器21が用いられており、回路規模が大きくなるという問題点があった。

従って、本発明は、ディジタル周波数弁別器を含むAFCループによって局部発振周波数を受信周波数に引き込む準同期型復調器において、4通

倍器を取り除くことを目的とする。

(課題を解決するための手段)

上記の課題を解決するため、本発明に係る準同期型復調器では、第1図に概念的に示すように、ディジタル周波数弁別器1が、 $1/2$ シンボルで遅延器2及び3の遅延動作を行うようにしている。

(作 用)

本発明を第2図により説明すると、同図(a)は4相-PSK復調によるベースバンドでの位相面を示し、データ(I, Q)の変化の仕方を4通り示している。

即ち、現在、周波数弁別器1へのI軸、Q軸入力信号 a_i, b_i が(I, Q)であるとする、このデータ(I, Q)が1シンボル後に取得するデータは $(-I, Q)$ 、 $(-I, -Q)$ 、 $(I, -Q)$ 及び同じ位相のデータである。

これに鑑み、本発明では遅延器2、3の遅延更新動作を同図(b)に示すように1シンボル毎のサン

プリング時点①、③…(アイパターンが最も開いた時点)に加えて $1/2$ シンボルのサンプリング時点②…(アイパターンが“0”になる時点)を加えて行くと次のようになる。

今、同図(a)に示すようにデータ(I, Q)がデータ $(-I, Q)$ に変化する場合(同図(a)、(c)の(i))を考えると、サンプリング時点①では信号 a_i, b_i はそれぞれI, Qであるが、 $1/2$ シンボル後のサンプリング時点②での信号 a_i, b_i は同図(a)に示すようにQ軸データはそのままであるが、I軸データは“0”となる。そして、この時には信号 a_i, b_i は $1/2$ シンボル前のサンプリング時点①での信号 a_i, b_i となる。従って、これらを乗算器4、5及び減算器6で演算して得た周波数弁別出力信号dは $I \cdot Q$ となる。そして、更に $1/2$ シンボル経過した時点③での信号dも $I \cdot Q$ となる。

次にデータ(I, Q)が1シンボル後にデータ $(-I, -Q)$ に変化する場合(同図(a)、(c)の(ii))には、 $1/2$ シンボル後のサンプリング時

点②においてI軸及びQ軸データ共に“0”となるので、出力信号dも“0”となる。これは、サンプリング時点③においても同じである。

更にデータ(I, Q)が1シンボル後にデータ $(I, -Q)$ に変化する場合(同図(a)、(c)の(iii))には、 $1/2$ シンボル後のサンプリング時点②においてI軸データは変化せずQ軸データが“0”となるので、出力信号dは $-I \cdot Q$ となる。これは、サンプリング時点③においても同じである。

また、データ(I, Q)が位相不変の場合(同図(a)、(c)の(iv))には、 $1/2$ シンボル後のデータを (I', Q') とし、更に $1/2$ シンボル後のデータを (I'', Q'') とすると、出力信号dは時点②で $I \cdot Q' - I' \cdot Q$ 、時点③で $I' \cdot Q'' - I'' \cdot Q'$ となる。

ここで、同図(a)を眺めると、(i)～(iii)を加算するとき“0”になり、(iv)のみが残ることが分かる。即ち、遅延器2、3の遅延動作を $1/2$ シンボル毎に行うと、同図(c)の(i)～(iii)のような変化は互いに相殺されてしまい、同位相

(iv) のデータだけが周波数弁別出力として有効となり、4 通倍器を用いなくとも変調データ成分が除去できることになる。

〔実施例〕

本発明による $1/2$ シンボル遅延動作を行うには種々の方法が考えられるが、シンボルタイミング再生 (STR) 回路 18 から A/D 変換器 12 に与えられるクロックは元々シンボルレートの 2 倍の周波数を有している。

そこで、従来例において説明したように第 3 図に示したシンボルタイミング再生回路 18 の出力クロック CLK2 をそのまま遅延器 2、3 の遅延更新動作クロックとして用いることができる。

その他、フィルタ 13 からの出力データによりシンボルタイミングクロックを生成するシンボルタイミング再生回路の出力クロックも同様に遅延クロックとして用いることができる。

図中、同一符号は同一又は相当部分を示す。

代理人 弁理士 茂 泉 修 司

〔発明の効果〕

このように、本発明に係る準同期型復調器によれば、AFC ループのデジタル周波数弁別器の遅延器の遅延動作を $1/2$ シンボルレートで行うように構成したので、4 通倍器が不要となり、装置全体の規模を小型化することができる。

4. 図面の簡単な説明

第 1 図は本発明に係る準同期型復調器を原理的に示したブロック構成図、

第 2 図は本発明に係る準同期型復調器の動作原理を説明するための図、

第 3 図は一般的な 4 相 - PSK 準同期型復調器を概念的に示したブロック図、

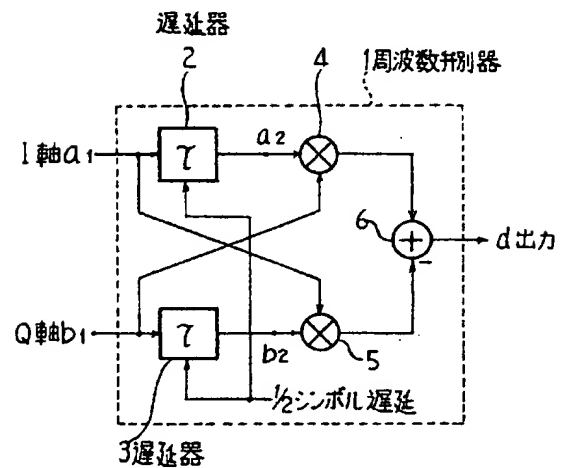
第 4 図は従来の AFC 制御電圧発生回路を示したブロック図、

第 5 図は 4 通倍器の動作説明図、である。

第 1 図において、

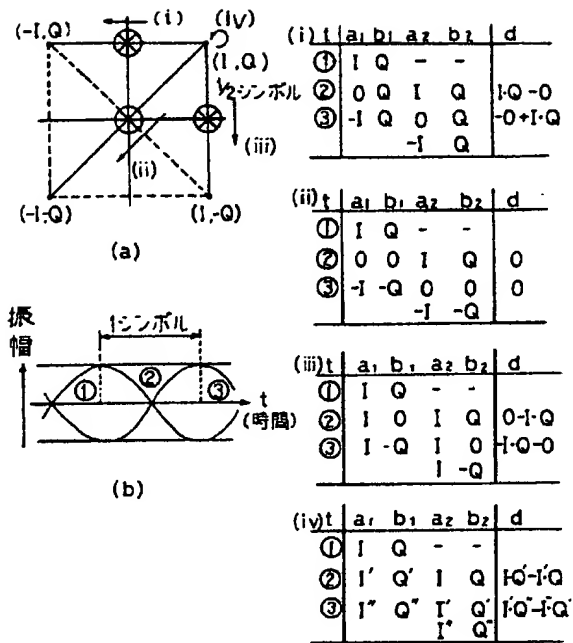
1 … 周波数弁別器、

2、3 … 遅延器。

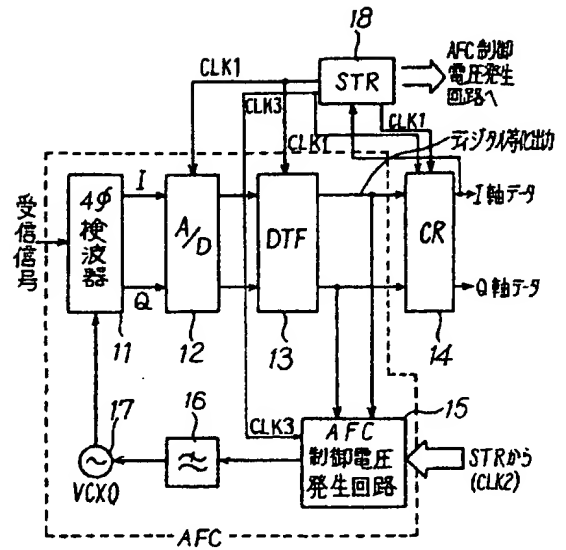


本発明の原理構成図

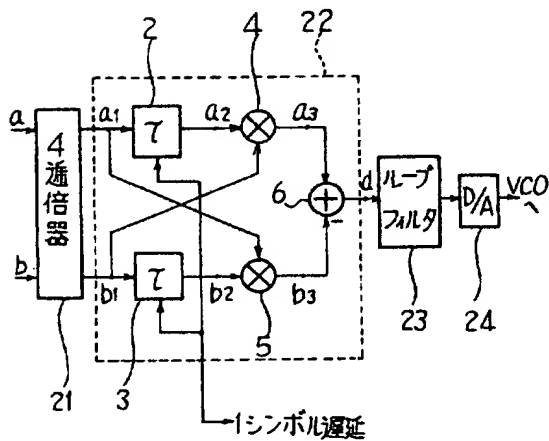
第 1 図



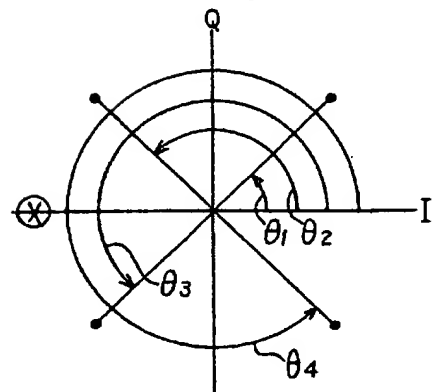
本発明の原理説明図
第2図



4相-PSK 準同期型復調器(従来例)
第3図



AFC回路(従来例)
第4図



4倍倍器の動作説明図
第5図